



(12)实用新型专利

(10)授权公告号 CN 208045072 U

(45)授权公告日 2018.11.02

(21)申请号 201820624128.9

(22)申请日 2018.04.27

(73)专利权人 京东方科技集团股份有限公司  
地址 100015 北京市朝阳区酒仙桥路10号

(72)发明人 岳晗 杨明 王灿 张粲 玄明花  
陈小川

(74)专利代理机构 北京银龙知识产权代理有限公司 11243  
代理人 许静 刘伟

(51)Int.Cl.  
G09G 3/32(2016.01)

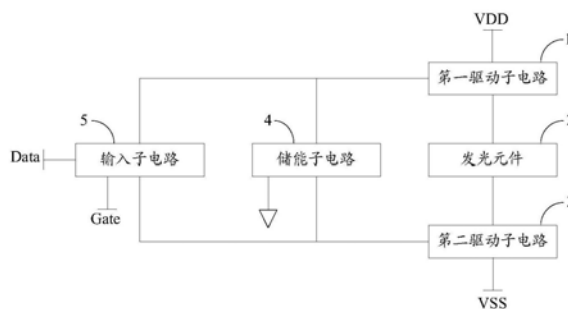
权利要求书2页 说明书9页 附图3页

(54)实用新型名称

一种像素电路、显示装置

(57)摘要

本实用新型公开一种像素电路、显示装置，涉及显示技术领域，为解决现有的微发光二极管显示器中，像素的亮度调节范围较窄的问题。该像素电路包括设置于硅基底上的第一驱动电路、发光元件、第二驱动电路、储能电路和输入电路；第一驱动电路的第一端与电源电压输入端连接，发光元件的阳极与第一驱动电路的第二端连接，第二驱动电路的第一端与第一电平信号输入端连接，第二驱动电路的第二端与发光元件的阴极连接，储能电路分别与第一驱动电路的控制端、第二驱动电路的控制端和第二电平信号输入端连接，输入电路分别与数据信号输入端、输入控制端、第一驱动电路的控制端和第二驱动电路的控制端连接。



CN 208045072 U

1. 一种像素电路,其特征在于,包括设置于硅基底上的:

第一驱动电路,所述第一驱动电路的第一端与电源电压输入端连接;

发光元件,所述发光元件的阳极与所述第一驱动电路的第二端连接;

第二驱动电路,所述第二驱动电路的第一端与第一电平信号输入端连接,所述第二驱动电路的第二端与所述发光元件的阴极连接;

储能电路,分别与所述第一驱动电路的控制端、所述第二驱动电路的控制端和第二电平信号输入端连接;

输入电路,分别与数据信号输入端、输入控制端、所述第一驱动电路的控制端和所述第二驱动电路的控制端连接,用于在所述输入控制端的控制下,控制导通或断开所述数据信号输入端与所述第一驱动电路的控制端之间的连接,并控制导通或断开所述数据信号输入端与所述第二驱动电路的控制端之间的连接。

2. 根据权利要求1所述的像素电路,其特征在于,所述输入控制端包括第一输入控制端和第二输入控制端;所述输入电路包括:

第一输入子电路,分别与所述数据信号输入端、所述第一输入控制端和所述第一驱动电路的控制端连接,用于在所述第一输入控制端的控制下,控制导通或断开所述数据信号输入端与所述第一驱动电路的控制端之间的连接;

第二输入子电路,分别与所述数据信号输入端、所述第二输入控制端和所述第二驱动电路的控制端连接,用于在所述第二输入控制端的控制下,控制导通或断开所述数据信号输入端与所述第二驱动电路的控制端之间的连接。

3. 根据权利要求2所述的像素电路,其特征在于,

所述第一输入子电路包括:

第一开关管,所述第一开关管的栅极与所述第一输入控制端连接,所述第一开关管的第一极与所述数据信号输入端连接,所述第一开关管的第二极与所述第一驱动电路的控制端连接;

所述第二输入子电路包括:

第二开关管,所述第二开关管的栅极与所述第二输入控制端连接,所述第二开关管的第一极与所述数据信号输入端连接,所述第二开关管的第二极与所述第二驱动电路的控制端连接。

4. 根据权利要求1所述的像素电路,其特征在于,所述数据信号输入端包括第一数据信号输入端和第二数据信号输入端;所述输入电路包括:

第三输入子电路,分别与所述第一数据信号输入端、所述输入控制端、所述第一驱动电路的控制端连接,用于在所述输入控制端的控制下,控制导通或断开所述第一数据信号输入端与所述第一驱动电路的控制端之间的连接;

第四输入子电路,分别与所述第二数据信号输入端、所述输入控制端、所述第二驱动电路的控制端连接,用于在所述输入控制端的控制下,控制导通或断开所述第二数据信号输入端与所述第二驱动电路的控制端之间的连接。

5. 根据权利要求4所述的像素电路,其特征在于,

所述第三输入子电路包括:

第三开关管,所述第三开关管的栅极与所述输入控制端连接,所述第三开关管的第一

极与所述第一数据信号输入端连接,所述第三开关管的第二极与所述第一驱动电路的控制端连接;

所述第四输入子电路包括:

第四开关管,所述第四开关管的栅极与所述输入控制端连接,所述第四开关管的第一极与所述第二数据信号输入端连接,所述第四开关管的第二极与所述第二驱动电路的控制端连接。

6. 根据权利要求1所述的像素电路,其特征在于,所述像素电路还包括发光控制电路,所述第二驱动电路的第一端通过所述发光控制电路与所述第一电平信号输入端连接;

所述发光控制电路分别与发光控制端、所述第二驱动电路的第一端和所述第一电平信号输入端连接,用于在所述发光控制端的控制下,控制导通或断开所述第二驱动电路的第一端和所述第一电平信号输入端之间的连接。

7. 根据权利要求6所述的像素电路,其特征在于,所述发光控制电路包括:

第五开关管,所述第五开关管的栅极与所述发光控制端连接,所述第五开关管的第一极与所述第二驱动电路的第一端连接,所述第五开关管的第二极与所述第一电平信号输入端连接。

8. 根据权利要求1所述的像素电路,其特征在于,所述储能电路包括:

第一储能子电路,所述第一储能子电路的第一端与所述第一驱动电路的控制端连接,所述第一储能子电路的第二端与所述第二电平信号输入端连接;

第二储能子电路,所述第二储能子电路的第一端与所述第二驱动电路的控制端连接,所述第二储能子电路的第二端与所述第二电平信号输入端连接。

9. 根据权利要求1所述的像素电路,其特征在于,所述第一驱动电路包括第一驱动晶体管,所述第一驱动电路的控制端包括所述第一驱动晶体管的栅极,所述第一驱动电路的第一端包括所述第一驱动晶体管的第一极,所述第一驱动电路的第二端包括所述第一驱动晶体管的第二极;

所述第二驱动电路包括第二驱动晶体管,所述第二驱动电路的控制端包括所述第二驱动晶体管的栅极,所述第二驱动电路的第一端包括所述第二驱动晶体管的第一极,所述第二驱动电路的第二端包括所述第二驱动晶体管的第二极。

10. 一种显示装置,其特征在于,包括如权利要求1~9任一项所述的像素电路。

## 一种像素电路、显示装置

### 技术领域

[0001] 本实用新型涉及显示技术领域,尤其涉及一种像素电路、显示装置。

### 背景技术

[0002] 微发光二极管显示器(英文:Micro LED Display)为新一代的显示技术,其结构是微型化的LED阵列,也就是将LED结构设计进行薄型化、微小化与阵列化,使其体积约为目前主流LED大小的1%,实现了将像素点的距离由原本的毫米级降到微米级。现有技术中在制作Micro LED Display时,一般将Micro LED像素单元以及用于驱动像素单元的像素驱动电路均形成在硅基底上,形成硅基Micro LED Display,但是由于受到制成的限制,使得像素电路传递给像素单元的数据范围会有一定的限制,进而限制了像素的亮度调节范围。

### 实用新型内容

[0003] 本实用新型的目的在于提供一种像素电路、显示装置,用于解决现有的微发光二极管显示器中,像素的亮度调节范围较窄的问题。

[0004] 为了实现上述目的,本实用新型提供如下技术方案:

[0005] 本实用新型的第一方面提供一种像素电路,包括设置于硅基底上的:

[0006] 第一驱动电路,所述第一驱动电路的第一端与电源电压输入端连接;

[0007] 发光元件,所述发光元件的阳极与所述第一驱动电路的第二端连接;

[0008] 第二驱动电路,所述第二驱动电路的第一端与第一电平信号输入端连接,所述第二驱动电路的第二端与所述发光元件的阴极连接;

[0009] 储能电路,分别与所述第一驱动电路的控制端、所述第二驱动电路的控制端和第二电平信号输入端连接;

[0010] 输入电路,分别与数据信号输入端、输入控制端、所述第一驱动电路的控制端和所述第二驱动电路的控制端连接,用于在所述输入控制端的控制下,控制导通或断开所述数据信号输入端与所述第一驱动电路的控制端之间的连接,并控制导通或断开所述数据信号输入端与所述第二驱动电路的控制端之间的连接。

[0011] 进一步地,所述输入控制端包括第一输入控制端和第二输入控制端;所述输入电路包括:

[0012] 第一输入子电路,分别与所述数据信号输入端、所述第一输入控制端和所述第一驱动电路的控制端连接,用于在所述第一输入控制端的控制下,控制导通或断开所述数据信号输入端与所述第一驱动电路的控制端之间的连接;

[0013] 第二输入子电路,分别与所述数据信号输入端、所述第二输入控制端和所述第二驱动电路的控制端连接,用于在所述第二输入控制端的控制下,控制导通或断开所述数据信号输入端与所述第二驱动电路的控制端之间的连接。

[0014] 进一步地,所述第一输入子电路包括:

[0015] 第一开关管,所述第一开关管的栅极与所述第一输入控制端连接,所述第一开关

管的第一极与所述数据信号输入端连接,所述第一开关管的第二极与所述第一驱动电路的控制端连接;

[0016] 所述第二输入子电路包括:

[0017] 第二开关管,所述第二开关管的栅极与所述第二输入控制端连接,所述第二开关管的第一极与所述数据信号输入端连接,所述第二开关管的第二极与所述第二驱动电路的控制端连接。

[0018] 进一步地,所述数据信号输入端包括第一数据信号输入端和第二数据信号输入端;所述输入电路包括:

[0019] 第三输入子电路,分别与所述第一数据信号输入端、所述输入控制端、所述第一驱动电路的控制端连接,用于在所述输入控制端的控制下,控制导通或断开所述第一数据信号输入端与所述第一驱动电路的控制端之间的连接;

[0020] 第四输入子电路,分别与所述第二数据信号输入端、所述输入控制端、所述第二驱动电路的控制端连接,用于在所述输入控制端的控制下,控制导通或断开所述第二数据信号输入端与所述第二驱动电路的控制端之间的连接。

[0021] 进一步地,所述第三输入子电路包括:

[0022] 第三开关管,所述第三开关管的栅极与所述输入控制端连接,所述第三开关管的第一极与所述第一数据信号输入端连接,所述第三开关管的第二极与所述第一驱动电路的控制端连接;

[0023] 所述第四输入子电路包括:

[0024] 第四开关管,所述第四开关管的栅极与所述输入控制端连接,所述第四开关管的第一极与所述第二数据信号输入端连接,所述第四开关管的第二极与所述第二驱动电路的控制端连接。

[0025] 进一步地,所述像素电路还包括发光控制电路,所述第二驱动电路的第一端通过所述发光控制电路与所述第一电平信号输入端连接;

[0026] 所述发光控制电路分别与发光控制端、所述第二驱动电路的第一端和所述第一电平信号输入端连接,用于在所述发光控制端的控制下,控制导通或断开所述第二驱动电路的第一端和所述第一电平信号输入端之间的连接。

[0027] 进一步地,所述发光控制电路包括:

[0028] 第五开关管,所述第五开关管的栅极与所述发光控制端连接,所述第五开关管的第一极与所述第二驱动电路的第一端连接,所述第五开关管的第二极与所述第一电平信号输入端连接。

[0029] 进一步地,所述储能电路包括:

[0030] 第一储能子电路,所述第一储能子电路的第一端与所述第一驱动电路的控制端连接,所述第一储能子电路的第二端与所述第二电平信号输入端连接;

[0031] 第二储能子电路,所述第二储能子电路的第一端与所述第二驱动电路的控制端连接,所述第二储能子电路的第二端与所述第二电平信号输入端连接。

[0032] 进一步地,所述第一驱动电路包括第一驱动晶体管,所述第一驱动电路的控制端包括所述第一驱动晶体管的栅极,所述第一驱动电路的第一端包括所述第一驱动晶体管的第一极,所述第一驱动电路的第二端包括所述第一驱动晶体管的第二极;

[0033] 所述第二驱动电路包括第二驱动晶体管,所述第二驱动电路的控制端包括所述第二驱动晶体管的栅极,所述第二驱动电路的第一端包括所述第二驱动晶体管的第一极,所述第二驱动电路的第二端包括所述第二驱动晶体管的第二极。

[0034] 进一步地,所述第一驱动晶体管为N型金属氧化物半导体场效应晶体管,所述第二驱动晶体管为P型金属氧化物半导体场效应晶体管。

[0035] 基于上述像素电路的技术方案,本实用新型的第二方面提供一种显示装置,包括上述像素电路。

[0036] 本实用新型提供的技术方案中,通过在发光元件的阳极和阴极分别对应连接了第一驱动电路和第二驱动电路,使得第一驱动电路和第二驱动电路均形成源跟随电路,在发光元件发光时,发光元件阳极的电压能够跟随写入到第一驱动电路的控制端的第一数据信号的变化而变化,发光元件阴极的电压能够跟随写入到第二驱动电路的控制端的第二数据信号的变化而变化;可见,发光元件的阳极和阴极均具有一定的电压调节范围,使得发光元件的阳极和阴极的亮度调节范围扩大,从而很好的解决了现有的微发光二极管显示器中,像素的亮度调节范围较窄的问题,很好的实现了能够同时满足高对比度、高亮度的需求,扩大应用场景范围的效果。

## 附图说明

[0037] 此处所说明的附图用来提供对本实用新型的进一步理解,构成本实用新型的一部分,本实用新型的示意性实施例及其说明用于解释本实用新型,并不构成对本实用新型的不当限定。在附图中:

[0038] 图1为本实用新型实施例提供的像素电路的第一基本结构图;

[0039] 图2为本实用新型实施例提供的像素电路的第二基本结构图;

[0040] 图3为本实用新型实施例提供的像素电路的第一具体结构图;

[0041] 图4为本实用新型实施例提供的像素电路的第一控制时序图;

[0042] 图5为本实用新型实施例提供的像素电路的第二具体结构图;

[0043] 图6为本实用新型实施例提供的像素电路的第二控制时序图。

[0044] 附图标记:

- |                         |                  |
|-------------------------|------------------|
| [0045] 1-第一驱动电路,        | 2-发光元件,          |
| [0046] 3-第二驱动电路,        | 4-储能电路,          |
| [0047] 5-输入电路,          | 6-发光控制电路,        |
| [0048] M6-第一驱动晶体管,      | M7-第二驱动晶体管,      |
| [0049] VDD-电源电压输入端,     | VSS-第一电平信号输入端,   |
| [0050] GND-地信号端,        | Data-数据信号输入端,    |
| [0051] Gate-输入控制端,      | Gate1-第一输入控制端,   |
| [0052] Gate2-第二输入控制端,   | Data1-第一数据信号输入端, |
| [0053] Data2-第二数据信号输入端, | M1-第一开关管,        |
| [0054] M2-第二开关管,        | M3-第三开关管,        |
| [0055] M4-第四开关管,        | M5-第五开关管,        |
| [0056] EM-发光控制端,        | C1-第一电容,         |

- [0057] C2-第二电容， P1-数据写入时段，  
[0058] P11-第一数据写入时段， P12-第二数据写入时段，  
[0059] P2-发光时段。

### 具体实施方式

[0060] 为了进一步说明本实用新型实施例提供的像素电路、显示装置，下面结合说明书附图进行详细描述。

[0061] 请参阅图1，本实用新型实施例提供了一种像素电路，该像素电路包括设置于硅基底上的：第一驱动电路1、发光元件2、第二驱动电路3、储能电路4和输入电路5；其中，第一驱动电路1的第一端与电源电压输入端VDD连接，发光元件2的阳极与第一驱动电路1的第二端连接，第二驱动电路3的第一端与第一电平信号输入端VSS连接，第二驱动电路3的第二端与发光元件2的阴极连接，储能电路4分别与第一驱动电路1的控制端、第二驱动电路3的控制端和第二电平信号输入端连接，输入电路5分别与数据信号输入端Data、输入控制端Gate、第一驱动电路1的控制端和第二驱动电路3的控制端连接，用于在输入控制端Gate的控制下，控制导通或断开数据信号输入端Data与第一驱动电路1的控制端之间的连接，并控制导通或断开数据信号输入端Data与第二驱动电路3的控制端之间的连接。值得注意的是，上述发光元件2可选为微发光二极管 (MicroLED) 和有机发光二极管 (OLED)，但不仅限于此。

[0062] 上述像素电路在一个驱动周期的工作过程包括：

[0063] 在数据写入时段，输入电路5在输入控制端Gate的控制下，控制导通数据信号输入端Data与第一驱动电路1的控制端之间的连接，以将数据信号输入端Data输入的第一数据信号写入到第一驱动电路1的控制端，并将第一数据信号存储在储能电路4中；输入电路5还能够在输入控制端的控制下，控制导通数据信号输入端与第二驱动电路3的控制端之间的连接，以将数据信号输入端输入的第二数据信号写入到第二驱动电路3的控制端，并将第二数据信号存储在储能电路4中。

[0064] 在发光时段，第一数据信号、第二数据信号分别对应控制第一驱动电路1、第二驱动电路3导通，使得第一驱动电路1和第二驱动电路3均形成源跟随电路，从而使得发光元件2在发光时，发光元件2阳极的电压能够跟随写入到第一驱动电路1的控制端的第一数据信号的变化而变化，发光元件2阴极的电压能够跟随写入到第二驱动电路3的控制端的第二数据信号的变化而变化；这样通过调节第一数据信号和第二数据信号，即可实现对发光元件的发光亮度的调节，从而控制发光元件2发光。

[0065] 根据上述像素电路的具体结构和工作过程可知，本实用新型实施例提供的像素电路中，在发光元件2的阳极和阴极分别对应连接了第一驱动电路1和第二驱动电路3，通过输入电路5在数据写入时段将第一数据信号和第二数据信号分别对应写入到第一驱动电路1的控制端和第二驱动电路3的控制端，并将第一数据信号和第二数据信号均存储在储能电路4中；在发光时段第一驱动电路1和第二驱动电路3分别在第一数据信号和第二数据信号的控制下导通，以驱动发光元件2发光。

[0066] 因此，本实用新型实施例提供的像素电路通过在发光元件2的阳极和阴极分别对应连接了第一驱动电路1和第二驱动电路3，第一驱动电路1和第二驱动电路3均形成源跟随电路，使得发光元件2在发光时，发光元件2阳极的电压能够跟随写入到第一驱动电路1的

控制端的第一数据信号的变化而变化,发光元件2阴极的电压能够跟随写入到第二驱动电路3的控制端的第二数据信号的变化而变化;可见,发光元件2的阳极和阴极均具有一定的电压调节范围,使得发光元件2的阳极和阴极的亮度调节范围扩大,从而很好的解决了现有的微发光二极管显示器中,像素的亮度调节范围较窄的问题,很好的实现了能够同时满足高对比度、高亮度的需求,扩大了应用场景范围。

[0067] 进一步地,如图3和图5所示,上述实施例提供的第一驱动电路1和第二驱动电路3均包括多种结构,例如:第一驱动电路1包括第一驱动晶体管M6,第一驱动电路1的控制端包括第一驱动晶体管M6的栅极,第一驱动电路1的第一端包括第一驱动晶体管M6的第一极,第一驱动电路1的第二端包括第一驱动晶体管M6的第二极;第二驱动电路3包括第二驱动晶体管M7,第二驱动电路3的控制端包括第二驱动晶体管M7的栅极,第二驱动电路3的第一端包括第二驱动晶体管M7的第一极,第二驱动电路3的第二端包括第二驱动晶体管M7的第二极。

[0068] 具体地,当第一驱动电路1包括第一驱动晶体管M6,第二驱动电路3包括第二驱动晶体管M7时,发光元件2阳极的电压为 $GATE_{M6}-V_{TH_{M6}}$ ,发光元件2阴极的电压为 $GATE_{M7}-V_{TH_{M7}}$ ,其中, $GATE_{M6}$ 代表第一驱动电路1的控制端电压,即第一驱动晶体管M6的栅极电压, $V_{TH_{M6}}$ 代表第一驱动晶体管M6的阈值电压, $GATE_{M7}$ 代表第二驱动电路3的控制端电压,即第二驱动晶体管M7的栅极电压, $V_{TH_{M7}}$ 代表第二驱动晶体管M7的阈值电压;可见,发光元件2的阳极和阴极均具有一定的电压调节范围,使得发光元件2的阳极和阴极的亮度调节范围扩大。

[0069] 更详细地说,在发光元件2的阴极直接与第一电平信号输入端VSS连接时,由于制程的限制,输入到像素电路中的数据信号的范围为 $\Delta U$ ,则发光元件2两端的压差范围为 $\Delta U$ ,而在本实用新型实施例提供的像素电路中,由于在发光元件2的阴极引入第二驱动晶体管,且该第二驱动晶体管的制作工艺与第一驱动晶体管相同,使得发光元件2的阴极也具有与发光元件2的阳极相同的调节范围,从而使得发光元件2两端的电压范围为 $2*\Delta U$ ,使得发光元件2的亮度调节范围相应扩大。

[0070] 上述实施例提供的输入电路5的结构和连接方式均多种多样,下面列举两种不同的结构和连接方式。

[0071] 第一种方式,如图3和图4所示,输入控制端Gate包括第一输入控制端Gate1和第二输入控制端Gate2;输入电路5包括:

[0072] 第一输入子电路,分别与数据信号输入端Data、第一输入控制端Gate1和第一驱动电路1的控制端连接,用于在第一输入控制端Gate1的控制下,控制导通或断开数据信号输入端Data与第一驱动电路1的控制端之间的连接;

[0073] 第二输入子电路,分别与数据信号输入端Data、第二输入控制端Gate2和第二驱动电路3的控制端连接,用于在第二输入控制端Gate2的控制下,控制导通或断开数据信号输入端Data与第二驱动电路3的控制端之间的连接。

[0074] 具体地,上述输入电路5的工作过程包括:

[0075] 在数据写入时段P1中的第一数据写入时段P11,数据信号输入端Data输入第一数据信号,第一输入子电路在第一输入控制端Gate1的控制下,控制导通数据信号输入端Data与第一驱动电路1的控制端之间的连接,以将第一数据信号写入到第一驱动电路1的控制端,并将第一数据信号存储在储能电路4中。

[0076] 在数据写入时段P1中的第二数据写入时段P12,数据信号输入端Data输入第二数



据信号,第二输入子电路在第二输入控制端Gate2的控制下,控制导通数据信号输入端Data与第二驱动电路3的控制端之间的连接,以将第二数据信号写入到第二驱动电路3的控制端,并将第二数据信号存储在储能电路4中。

[0077] 在发光时段P2,第一输入子电路在第一输入控制端Gate1的控制下,控制断开数据信号输入端Data与第一驱动电路1的控制端之间的连接,第二输入子电路在第二输入控制端Gate2的控制下,控制断开数据信号输入端Data与第二驱动电路3的控制端之间的连接。

[0078] 上述第一种方式中,通过复用数据信号输入端Data,使数据信号输入端Data能够在第一数据写入时段P11输入第一数据信号,在第二数据写入时段P12输入第二数据信号,同时通过第一输入控制端Gate1和第二输入控制端Gate2分别控制第一输入子电路和第二输入子电路,使得在第一数据写入时段P11,第一输入子电路在第一输入控制端Gate1的控制下,控制导通数据信号输入端Data与第一驱动电路1的控制端之间的连接,在第二数据写入时段P12,第一输入子电路在第一输入控制端Gate1的控制下,控制断开数据信号输入端Data与第一驱动电路1的控制端之间的连接;在第二数据写入时段P12,第二输入子电路在第二输入控制端Gate2的控制下,控制导通数据信号输入端Data与第二驱动电路3的控制端之间的连接,在第一数据写入时段P11,第二输入子电路在第二输入控制端Gate2的控制下,控制断开数据信号输入端Data与第二驱动电路3的控制端之间的连接。

[0079] 进一步地,在上述第一种方式中,第一输入子电路包括第一开关管M1,且第一开关管M1的栅极与第一输入控制端Gate1连接,第一开关管M1的第一极与数据信号输入端Data连接,第一开关管M1的第二极与第一驱动电路1的控制端连接;第二输入子电路包括第二开关管M2,且第二开关管M2的栅极与第二输入控制端Gate2连接,第二开关管M2的第一极与数据信号输入端Data连接,第二开关管M2的第二极与第二驱动电路3的控制端连接。

[0080] 第二种方式,如图5和图6所示,数据信号输入端Data包括第一数据信号输入端Data1和第二数据信号输入端Data2;输入电路5包括:

[0081] 第三输入子电路,分别与第一数据信号输入端Data1、输入控制端Gate、第一驱动电路1的控制端连接,用于在输入控制端的控制下,控制导通或断开第一数据信号输入端Data1与第一驱动电路1的控制端之间的连接;

[0082] 第四输入子电路,分别与第二数据信号输入端Data2、输入控制端Gate、第二驱动电路3的控制端连接,用于在输入控制端的控制下,控制导通或断开第二数据信号输入端Data2与第二驱动电路3的控制端之间的连接。

[0083] 具体地,上述输入电路5的工作过程包括:

[0084] 在数据写入时段P1中,第一数据信号输入端Data1输入第一数据信号,第二数据信号输入端Data2输入第二数据信号,在输入控制端Gate的控制下,第三输入子电路控制导通第一数据信号输入端Data1与第一驱动电路1的控制端之间的连接,以将第一数据信号写入到第一驱动电路1的控制端,并将第一数据信号存储在储能电路4中;第四输入子电路控制导通第二数据信号输入端Data2与第二驱动电路3的控制端之间的连接,以将第二数据信号写入到第二驱动电路3的控制端,并将第二数据信号存储在储能电路4中。

[0085] 在发光时段P2中,在输入控制端Gate的控制下,第三输入子电路控制断开第一数据信号输入端Data1与第一驱动电路1的控制端之间的连接,第四输入子电路控制断开第二数据信号输入端Data2与第二驱动电路3的控制端之间的连接。

[0086] 上述第二种方式中,设置了第一数据信号输入端Data1和第二数据信号输入端Data2,并将第三输入子电路与第一数据信号输入端Data1连接,将第四输入子电路与第二数据信号输入端Data2连接,同时设置了一个输入控制端Gate,并通过该输入控制端Gate同时控制第三输入子电路和第四输入子电路,使得在数据写入时段P1中,第三输入子电路能够导通第一数据信号输入端Data1与第一驱动电路1的控制端之间的连接,第四输入子电路能够导通第二数据信号输入端Data2与第二驱动电路3的控制端之间的连接;在发光时段P2中,第三输入子电路能够断开第一数据信号输入端Data1与第一驱动电路1的控制端之间的连接,第四输入子电路能够断开第二数据信号输入端Data2与第二驱动电路3的控制端之间的连接。

[0087] 进一步地,在上述第二种方式中,第三输入子电路包括第三开关管M3,且第三开关管M3的栅极与输入控制端Gate连接,第三开关管M3的第一极与第一数据信号输入端Data1连接,第三开关管M3的第二极与第一驱动电路1的控制端连接;第四输入子电路包括第四开关管M4,且第四开关管M4的栅极与输入控制端Gate连接,第四开关管M4的第一极与第二数据信号输入端Data2连接,第四开关管M4的第二极与第二驱动电路3的控制端连接。

[0088] 进一步地,如图2所示,上述实施例提供的像素电路还包括发光控制电路6,第二驱动电路3的第一端通过发光控制电路6与第一电平信号输入端VSS连接;发光控制电路6分别与发光控制端EM、第二驱动电路3的第一端和第一电平信号输入端VSS连接,用于在发光控制端EM的控制下,控制导通或断开第二驱动电路3的第一端和第一电平信号输入端VSS之间的连接。

[0089] 具体地,如图4和图6所示,上述发光控制电路6的工作过程包括:

[0090] 在数据写入时段P1中,在发光控制端EM的控制下,发光控制电路6控制断开第二驱动电路3的第一端和第一电平信号输入端VSS之间的连接,使得发光元件2不发光。

[0091] 在发光时段P2中,在发光控制端EM的控制下,发光控制电路6控制导通第二驱动电路3的第一端和第一电平信号输入端VSS之间的连接,同时第一驱动电路1在第一数据信号的作用下导通,第二驱动电路3在第二数据信号的作用下导通,从而使得发光元件2发光。

[0092] 当上述像素电路中包括发光控制电路6时,能够通过发光控制电路6控制发光元件2仅在发光时段P2发光,在其它时段不发光,进而更好的保证了显示效果。

[0093] 进一步地,如图3和图5所示,上述发光控制电路6包括第五开关管M5,第五开关管M5的栅极与发光控制端EM连接,第五开关管M5的第一极与第二驱动电路3的第一端连接,第五开关管M5的第二极与第一电平信号输入端VSS连接。

[0094] 进一步地,上述实施例提供的储能电路4包括:

[0095] 第一储能子电路,第一储能子电路的第一端与第一驱动电路1的控制端连接,第一储能子电路的第二端与第二电平信号输入端连接;

[0096] 第二储能子电路,第二储能子电路的第一端与第二驱动电路3的控制端连接,第二储能子电路的第二端与第二电平信号输入端连接。

[0097] 具体地,如图3和图5所示,上述第一储能子电路可选为第一电容C1,上述第二储能子电路可选为第二电容C2,在第一驱动电路1的控制端和第二电平信号输入端之间设置第一电容C1,能够使得在将第一数据信号写入到第一驱动电路1的控制端时,第一电容C1能够存储该第一数据信号,从而将第一驱动电路1的控制端的电位维持在与第一数据信号对应

的第一数据电压；同样的，在第二驱动电路3的控制端和第二电平信号输入端之间设置第二电容C2，能够使得在将第二数据信号写入到第二驱动电路3的控制端时，第二电容C2能够存储该第二数据信号，从而将第二驱动电路3的控制端的电位维持在与第二数据信号对应的第二数据电压。

[0098] 值得注意的是，本实施例仅以上述具体的电路结构为例对所提供的像素电路进行介绍，在本实用新型的其它实施例中，像素电路包括的储能电路4、输入电路5和发光控制电路6还可各自采用其它的结构实现，在此不再详述。此外，上述第一驱动晶体管M6、第二驱动晶体管M7和各个开关管均可以采用薄膜晶体管、场效应管或其他特性相同的器件。在本实用新型实施例中，为区分第一驱动晶体管M6、第二驱动晶体管M7和各个开关管除栅极之外的两极，将其中一极称为第一极，另一极称为第二极。在实际操作时，所述第一极可以为漏极，所述第二极可以为源极；或者，所述第一极可以为源极，所述第二极可以为漏极。

[0099] 在本实施例中以第一驱动晶体管M6包括N型金属氧化物半导体场效应晶体管，第二驱动晶体管M7包括P型金属氧化物半导体场效应晶体管，各个开关管为N型金属氧化物半导体场效应晶体管，且第一极为漏极，第二极为源极为例进行说明。需要说明的是，采用N型金属氧化物半导体场效应晶体管作为第一驱动晶体管M6，采用P型金属氧化物半导体场效应晶体管作为第二驱动晶体管M7，能够使得发光单元2的阳极为正电压，阴极为负电压，更好的保证了发光单元2实现正常的显示功能。

[0100] 此外，上述各个开关管为P型金属氧化物半导体场效应晶体管或为互补型金属氧化物半导体场效应晶体管（N/P型金属氧化物半导体场效应晶体管）的电路设计也在本申请的保护范围之内。上述第一电平信号输入端VSS和第二电平信号输入端均可作为低电平信号输入端，可均与电源负极连接，或者第一电平信号输入端VSS与电源负极连接，第二电平信号输入端与地信号端GND连接。

[0101] 本实用新型实施例还提供了一种显示装置，包括上述实施例提供的像素电路。

[0102] 由于上述实施例提供的像素电路中，通过在发光元件2的阳极和阴极分别对应连接了第一驱动电路1和第二驱动电路3，第一驱动电路1和第二驱动电路3均形成为源跟随电路，使得发光元件2的阳极和阴极均具有一定的电压调节范围，发光元件2的阳极和阴极的亮度调节范围扩大，从而很好的解决了现有的微发光二极管显示器中，像素的亮度调节范围较窄的问题，很好的实现了能够同时满足高对比度、高亮度的需求，扩大了应用场景范围。因此，本实用新型实施例提供的显示装置在包括上述像素电路时，同样具有上述效果，此处不再赘述。

[0103] 此外，由于上述实施例提供的像素电路中所采用的器件数量较少，像素电路所占的面积较小，本实用新型实施例提供的显示装置在包括上述像素电路时，能够设置更多的数量像素子电路，从而更好的提高了显示装置的显示效果。

[0104] 值得注意的是，本实用新型实施例提供的显示装置包括：微发光二极管显示器、现有传统的有机发光二极管显示装置等。

[0105] 在上述实施方式的描述中，具体特征、结构、材料或者特点可以在任何一个或多个实施例或示例中以合适的方式结合。

[0106] 以上所述，仅为本实用新型的具体实施方式，但本实用新型的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本实用新型揭露的技术范围内，可轻易想到变化

或替换,都应涵盖在本实用新型的保护范围之内。因此,本实用新型的保护范围应以所述权利要求要求的保护范围为准。

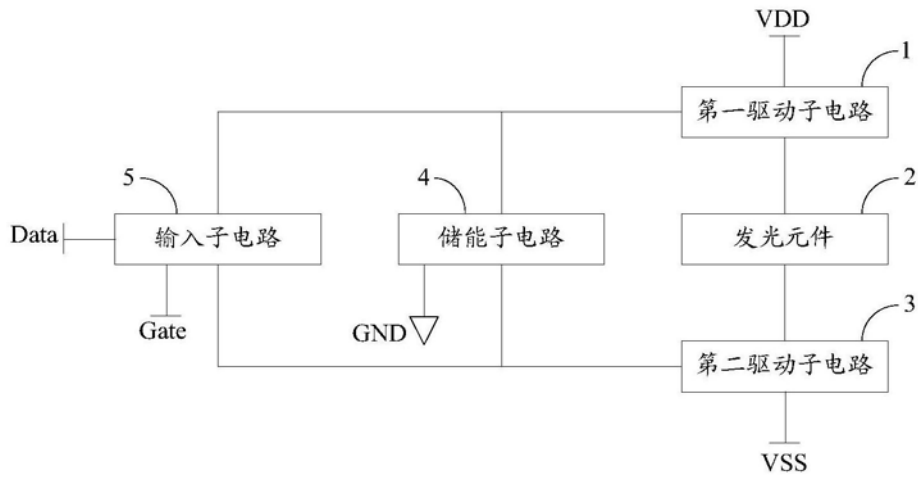


图1

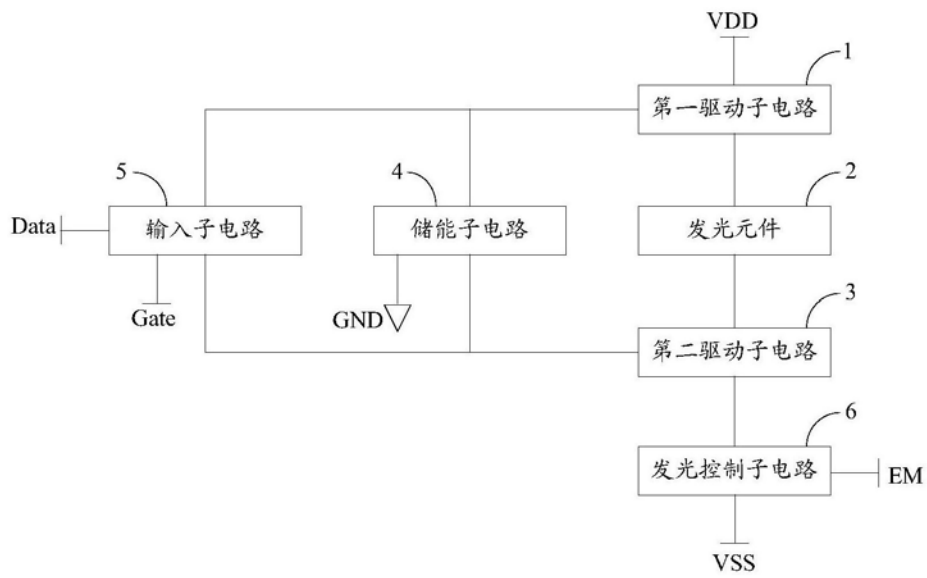


图2





专利名称(译)	一种像素电路、显示装置		
公开(公告)号	<a href="#">CN208045072U</a>	公开(公告)日	2018-11-02
申请号	CN201820624128.9	申请日	2018-04-27
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司		
[标]发明人	岳晗 杨明 王灿 张粲 玄明花 陈小川		
发明人	岳晗 杨明 王灿 张粲 玄明花 陈小川		
IPC分类号	G09G3/32		
CPC分类号	G09G3/32		
代理人(译)	许静 刘伟		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

摘要(译)

本实用新型公开一种像素电路、显示装置，涉及显示技术领域，为解决现有的微发光二极管显示器中，像素的亮度调节范围较窄的问题。该像素电路包括设置于硅基底上的第一驱动电路、发光元件、第二驱动电路、储能电路和输入电路；第一驱动电路的第一端与电源电压输入端连接，发光元件的阳极与第一驱动电路的第二端连接，第二驱动电路的第一端与第一电平信号输入端连接，第二驱动电路的第二端与发光元件的阴极连接，储能电路分别与第一驱动电路的控制端、第二驱动电路的控制端和第二电平信号输入端连接，输入电路分别与数据信号输入端、输入控制端、第一驱动电路的控制端和第二驱动电路的控制端连接。

